

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-005912  
(43)Date of publication of application : 14.01.1994

H01L 33/00

(51)Int.Cl.

(21)Application number : 04-159242  
(22)Date of filing : 18.06.1992

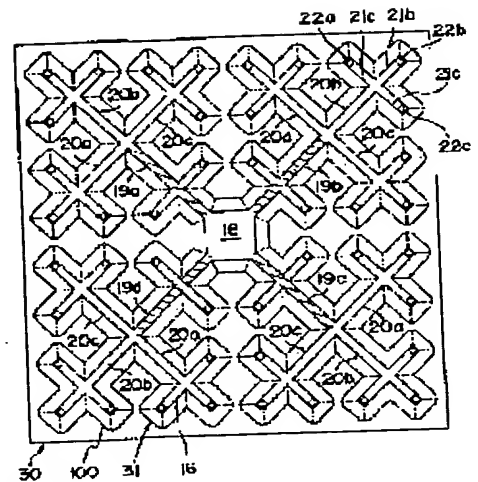
(71)Applicant : SHARP CORP  
(72)Inventor : WATANABE MASANORI  
YAMAMOTO OSAMU  
SASAKI KAZUAKI  
MATSUMOTO AKIHIRO  
NAKATSU HIROSHI

## (54) LIGHT EMITTING DIODE

### (57)Abstract:

PURPOSE: To provide a light emitting diode capable of improving external quantum efficiency by decreasing invalid emission.

CONSTITUTION: There are a surface electrode 16, a pad portion 18 and primary branches 19a,... 19d extending linearly from the pad 18 on the surface 30 of a light emitting diode (semiconductor chip). Moreover, there are at least secondary branches 20a, 20b and 20c extending linearly from the primary branches 19a,... 19d and tertiary branches 22a, 22b and 22c extending linearly from each of the secondary branches 20a, 20b and 20c. Along the pattern of this surface electrode 16, a semiconductor layer 31 including a light emitting layer 31 is provided directly below it. The semiconductor layer 31 has a projected mesa shape on the chip surface 30.



## LEGAL STATUS

[Date of request for examination]

12.01.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2786375

[Date of registration]

29.05.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

**CLAIMS**

[Claim(s)]

[Claim 1] In the light emitting diode which the laminating of the semi-conductor layer and surface electrode containing a luminous layer is carried out to order on the surface of a semiconductor chip, and carries out outgoing radiation of the light out of a chip from the part which is not covered with the above-mentioned surface electrode among the above-mentioned semi-conductor layers in the light which the above-mentioned luminous layer emitted The first branching to which the above-mentioned surface electrode extends in a line from the pad section and the above-mentioned pad section, It has at least the 3rd branching which branches from the second branching which branches from the first above-mentioned branching and is prolonged in a line, and the branching further second [ above-mentioned ], and is prolonged in a line. The above-mentioned semi-conductor layer Light emitting diode characterized by making the shape of a mesa which was established along with the pattern of the above-mentioned surface electrode, and projected on the above-mentioned chip front face.

[Claim 2] In the light emitting diode which the laminating of the semi-conductor layer and surface electrode containing a luminous layer is carried out to order on the surface of a semiconductor chip, and carries out outgoing radiation of the light out of a chip from the part which is not covered with the above-mentioned surface electrode among the above-mentioned semi-conductor layers in the light which the above-mentioned luminous layer emitted The first branching to which the above-mentioned surface electrode extends in a line from the pad section and the above-mentioned pad section, It has at least the 3rd branching which branches from the second branching which branches from the first above-mentioned branching and is prolonged in a line, and the branching further second [ above-mentioned ], and is prolonged in a line. The above-mentioned semi-conductor layer Light emitting diode characterized by making the shape of a mesa which was established for every tip of branching of the maximum high order of the above-mentioned surface electrode, and projected on the above-mentioned chip front face, respectively.

[Claim 3] The tip and the above-mentioned semi-conductor layer of branching of the above-mentioned surface electrode are light emitting diode according to claim 1 or 2 characterized by remaining parts and above-mentioned semi-conductor layers of the above-mentioned surface electrode not touching electrically while it is electrically in contact. [ of the maximum high order ]

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the light emitting diode used for a display.

[0002]

[Description of the Prior Art] In recent years, what used the AlGaInP system ingredient other than GaAsP or a GaP system ingredient is being developed as light emitting diode (LED) which emits yellow thru/or a green light.

[0003] As a conventional AlGaInP system LED, there is a thing as shown in drawing 6 R> 6 and drawing 7 (drawing 6 shows an LED front face and drawing 7 shows the VII-VII line view cross section in drawing 6 ). This LED is produced as follows. First, as shown in drawing 7 , the laminating of the n mold AlGaInP cladding layer 191, the undoping AlGaInP luminous layer 192, the p mold AlGaInP cladding layer 193, the p mold GaAs contact layer 194, and the surface electrode (for example, AuZn) 195 is carried out to the front face 180 of the n mold GaAs substrate 190 on the whole surface. Next, the surface electrode 195 and each class 194, 193, 192, 191 which carried out the laminating are alternatively removed until it results in substrate surface 190a, and it leaves a predetermined part, and the mesa (trapezoid) section 200 is constituted. The pattern (abbreviation etc. being in the pattern of a surface electrode 195 by carrying out) of the mesa section 200 should have combined the mesa branching 199a and 199b of the longitudinal direction which extends from the pad section 198 and this pad section 198 for performing wire bond, and the mesa branching 200a, --, 200h of the lengthwise direction which intersects the mesa branching 199a and 199b of this longitudinal direction, as shown in drawing 6 . Then, as shown in drawing 7 , the rear-face electrode 196 is formed in the rear face of a substrate 190.

[0004] If 200h of mesa branching is taken for an example in drawing 7 , outgoing radiation of the light emitted from the luminous layer 192 will mainly be carried out out of a chip from the mesa side faces 201a and 201b on either side. The light which goes in the vertical direction is because it will be absorbed by a surface electrode 195 and the substrate. As this shows, the reason for forming the mesa section 200 in the chip front face 180 is for taking out light out of a chip efficiently by increasing the area of an optical outgoing radiation side (mesa slant face).

[0005]

[Problem(s) to be Solved by the Invention] However, since the lateral mesa branching 199a and 199b and the mesa branching 200a, --, 200h of a lengthwise direction were made to only cross as the structure of the above-mentioned mesa section 200 was shown in drawing 6 , the die length of the longitudinal direction of each mesa branching is comparatively long. for this reason -- each -- most does not arrive to a tip (for example, tip 201c), but mesa branching 200a, --, the light emitted by the longitudinal direction ( drawing 7 cross direction) within 200h turn into invalid luminescence. Consequently, the above-mentioned conventional LED has the problem that external quantum efficiency is bad.

[0006] Then, the purpose of this invention is to offer the light emitting diode which invalid luminescence is decreased and can improve external quantum efficiency.

[0007]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the light emitting diode of this invention In the light emitting diode which the laminating of the semi-conductor layer and surface electrode containing a luminous layer is carried out to order on the surface of a semiconductor chip, and carries out outgoing radiation of the light out of a chip from the part which is not covered with the above-mentioned surface electrode among the above-mentioned semi-conductor layers in the light which the above-mentioned luminous layer emitted The first branching to which the above-mentioned surface electrode extends in a line from the pad section and the above-mentioned pad section, It has at least the 3rd branching which branches from the second branching which branches from the first above-mentioned branching and is prolonged in a line, and the branching further second [ above-mentioned ], and is prolonged in a line. The above-mentioned semi-conductor layer It is prepared along with the pattern of the above-mentioned surface electrode, and is characterized by making the shape of a mesa which projected on the above-mentioned chip front face.

[0008] Moreover, the laminating of the semi-conductor layer and surface electrode with which the light emitting

diode of this invention contains a luminous layer on the surface of a semiconductor chip is carried out to order. In the light emitting diode which carries out outgoing radiation of the light out of a chip from the part which is not covered with the above-mentioned surface electrode among the above-mentioned semi-conductor layers in the light which the above-mentioned luminous layer emitted the above-mentioned surface electrode The pad section, the first branching prolonged in a line from the above-mentioned pad section, and the second branching which branches from the first above-mentioned branching and is prolonged in a line, It has at least the 3rd branching which branches from the branching further second [ above-mentioned ], and is prolonged in a line, the above-mentioned semi-conductor layer is prepared for every tip of branching of the maximum high order of the above-mentioned surface electrode, and it is characterized by making the shape of a mesa which projected on the above-mentioned chip front face, respectively.

[0009] Moreover, while the tip and the above-mentioned semi-conductor layer of branching of the above-mentioned surface electrode touch electrically, as for remaining parts and above-mentioned semi-conductor layers of the above-mentioned surface electrode, it is desirable [ the layer ] that it is not electrically in contact. [ of the maximum high order ]

[0010]

[Function] This invention was created by the next consideration by this invention person. The principle of this invention is explained using drawing 9.

[0011] Drawing 5 (a) and (b) show typically the place which saw light emitting diode with the flat semi-conductor layer front face 1 from the upper part and the side (since it is easy, the surface electrode is omitted.). Outgoing radiation of the light p which carried out incidence to the abbreviation perpendicular on the front face 1 among the light emitted from the point L emitting light is carried out out of a chip (interrupted with a surface electrode in fact.). However, outgoing radiation of the light q which carried out incidence aslant is not carried out out of a chip for total reflection, but it serves as an invalid. Next, this drawing (c) and (d) show the case of the light emitting diode which has the stripe-like mesa branching 2 on a front face like drawing 7 and the conventional LED shown in 8. In this case, outgoing radiation not only of the light r which goes upwards among the light emitted from the point M emitting light but the light s and t which goes to the side is carried out out of a chip. However, as already stated, outgoing radiation of the light u and v which goes to the longitudinal direction of the mesa branching 2 is not carried out out of a chip, but they serves as a loss. On the other hand, as shown in drawing 5 (e) and (f), when the mesa branching 320 has branched high order like this invention, the die length of the longitudinal direction of the mesa branching 3 is comparatively short. Therefore, the light h emitted by the longitudinal direction of the light f which goes upwards among the light emitted from the point N emitting light, and not only the light i and g that goes to the side but mesa branching reaches tip 3a easily, and outgoing radiation is carried out to it. Therefore, invalid luminescence decreases as compared with the former, and external quantum efficiency is improved about 1.5 times.

[0012] Moreover, while the tip and the above-mentioned semi-conductor layer of branching of the above-mentioned surface electrode touch electrically, when remaining parts and above-mentioned semi-conductor layers of the above-mentioned surface electrode do not touch electrically, the part directly under the above-mentioned tip of the above-mentioned surface electrode serves as a point emitting light among the above-mentioned semi-conductor layers. [ of the maximum high order ] Therefore, the light emitted from the point emitting light arrives at an optical outgoing radiation side (mesa slant face) easily, consequently external quantum efficiency is improved further.

[0013] In addition, this invention is applied not only to the AlGaInP system LED but to a general AlGaAs system, a GaP system, a ZnSe system (ZnCdSe system), a ZnS system, a GaN system, the SiC system LED, etc. Thereby, improvement in a property of various kinds LED is achieved.

[0014]

[Example] Hereafter, an example explains the light emitting diode of this invention to a detail.

[0015] Drawing 1 shows the chip front face of the AlGaInP system LED of the 1st example. As shown in drawing 1, the mesa section 100 which consists of a surface electrode 16 and a semi-conductor layer 31 containing a luminous layer is formed in the chip front face 30. The pattern (the pattern of the mesa section 100, abbreviation, etc. being by carrying out) of a surface electrode 16 is equipped with the pad section 18 of the shape of an abbreviation rectangle for wire bond in the center. The first branching 19a, 19b, 19c, and 19d is prolonged in the shape of a straight line in the direction of a vertical angle from this pad section 18. The first branching 19a, 19b, 19c, and 19d serves as the same line breadth and the same die length (range which gave the slash all over drawing) mutually. The second branching 20a, 20b, and 20c is branched and prolonged in the three way, respectively from the each first branching [ 19a, 19b, 19c, and 19d ] tip. The include angle which the first branching and the second branching make is 0 degree or 90 degrees. In addition, a design top has each first branching 19a, 19b, 19c, and 19d and the lapping second branching which it does not illustrate. The second branching 20a, 20b, and 20c serves as the same line breadth and the same die length mutually, and each die length has become one half to the first branching. Moreover, the 3rd branching 21a, 21b, and 21c is branched

and prolonged in the shape of a straight line in the three way, respectively from the tip of each second branching 20a, 20b, and 20c. The include angle which the second branching and the 3rd branching make is 0 degree or 90 degrees. Moreover, the 3rd branching 21a, 21b, and 21c serves as the same line breadth and the same die length mutually, and each die length has become one half to the second branching. in addition, every -- although the 3rd branching has branched also from the middle of the 1st branching 19a, 19b, and 19c -- this -- every -- it is because it laps with the 1st branching 19a, 19b, and 19c and the tip of the second branching which does not carry out [ above-mentioned ] illustration is in it. The above-mentioned semi-conductor layer 31 is formed along with the pattern of a surface electrode 16, and serves as a mesa configuration which projected on the chip front face 30. The contact sections 22a, 22b, and 22c for contacting the semi-conductor layer [ directly under ] 31 are formed at the tip of the 3rd branching 21a, 21b, and 21c. On the other hand, parts other than the above-mentioned contact sections 21a and 21b and 21c are in the condition of not contacting as directly as the semi-conductor layer 31, among surface electrodes 16 (based on 2Oaluminum3 insulating layer 15 mentioned later). [0016] thus, the self [ \*\*\*\* / that it is regular and ] to which this above-mentioned surface electrode 16 had the equal number of branch separations in every branching, and, as for the relation between branching of a low degree, and high order branching, die length combined one half of 'X' at four tips of the 'X' configuration -- an analog -- it has become a \*\*, i.e., a fractal configuration. Therefore, a pattern design can be performed easily. Moreover, the abbreviation whole region on the front face 30 of a chip can be covered to arborescence, without high order branching lapping.

[0017] Drawing 2 (a) - (f) shows the production process of this chip. This drawing (a), (c), and (e) illustrate a part of chip front face 30 (specifically near the tip of the second branching 20b), and this drawing (b), (d), and (f) show the B-B line in this drawing (a), (c), and (e), D-D line, and the F-F line view cross section, respectively. This chip is produced as follows.

\*\* it is first shown in this drawing (a) and (b) -- as -- the n mold GaAs substrate 10 top -- MOCVD -- by law (organic metal chemical-vapor-deposition method), deposit the n mold AlGaInP cladding layer 11, the undoping AlGaInP luminous layer 12, the p mold AlGaInP cladding layer 13, and the p mold GaAs contact layer 14 on the whole surface in order as a semi-conductor layer 31, and form aluminum2O3 insulating layer 15 further. Next, Openings 15a, 15b, and 15c are formed in a predetermined part among 2Oaluminum3 insulating layers 15 with photolithography.

\*\* Next, patternize this surface electrode 16 in the fractal configuration described previously after vapor-depositing a surface electrode (AuZn) 16 on this on the whole surface, as shown in this drawing (c) and (d). Here, the part in which the above-mentioned openings 15a, 15b, and 15c were formed serves as the contact sections 22a, 22b, and 22c. Moreover, the rear-face electrode 17 is formed in the whole surface also at the rear-face side of a substrate 10.

\*\* Next, as shown in this drawing (e) and (f), perform a photolithography, etch until it reaches the substrate front face 30 in aluminum2O3 insulating layer 15 and the semi-conductor layer 31 along with the pattern of a surface electrode 16, and process it in the shape of a mesa. Wet etching or RIBE (reactant ion beam etching) is sufficient as etching. This forms the mesa section 100 (the completion of production).

[0018] As mentioned above, this AlGaInP system LED covers the chip front face 30 to arborescence by the mesa section 100, and is contacting the surface electrode 16 and the semi-conductor layer 31 only in the contact sections 22a, 22b, and 22c at the tip of the 3rd branching (highest degree) 21a, 21b, and 21c. Therefore, convenience directly under a tip of the 3rd branching 21a, 21b, and 21c can be made into the point emitting light, and the point emitting light and an optical outgoing radiation side (mesa slant face) can be made to approach substantially as compared with the former. Thereby, invalid luminescence can be decreased and external quantum efficiency can be improved. When property measurement was actually performed, luminescence wavelength was 570nm (yellowish green), and external quantum efficiency was 2.5%.

[0019] In addition, the mesa section 100 is not necessarily restricted to the thing of the above-mentioned configuration, and should just carry out outgoing radiation of the light from a mesa slant face substantially. For example, as shown in drawing 2 (h), etching may be carried out to to the middle of the p mold AlGaInP cladding layer 13, and you may stop before the undoping AlGaInP luminous layer 12. Moreover, although illustration is omitted, it may carry out etching to to the middle of the undoping AlGaInP luminous layer 12, and may stop it before the n mold AlGaInP cladding layer 12. On the other hand, what stopped etching even in the p mold GaAs contact layer 14 is not contained. It is the layer prepared in order that the p mold GaAs contact layer 14 may only raise electrical characteristics, and is because outgoing radiation of the light is not carried out from the slant face. Similarly, an opaque layer is also removed from the mesa section to light.

[0020] Moreover, as shown in this drawing (g), the tip of the mesa section 100 (a surface electrode 16 and semi-conductor layer 31) may be made into a sector by changing the pattern of a photolithography. In this sector, luminous efficiency increases more.

[0021] Moreover, the location of the pad section 18 is not limited in the center on the front face 30 of a chip, and may be in a periphery.

[0022] Moreover, the contact sections 22a, 22b, and 22c may be formed also in the middle point of the second branching 20a, 20b, and 20c which did not prepare only at the tip of the 3rd branching (highest degree) 21a, 21b, and 21c, for example, was shown in drawing 1. In this case, although the current-light conversion efficiency itself falls a little, the amount of total luminescence per chip can be increased.

[0023] Moreover, the pattern configuration of a surface electrode 16 may not be based on etching, but may be formed by the so-called mask vacuum evaporation (it vapor-deposits using the metal mask which has opening of the same configuration as a surface electrode 16).

[0024] Moreover, neither a surface electrode 16 nor the rear-face electrode 17 is formed before carrying out mesa etching of the above-mentioned semi-conductor layer 31, but after carrying out mesa etching of the above-mentioned semi-conductor layer 31, you may make it prepare.

[0025] Moreover, the ingredient of LED may not be limited to AlGaInP and may be KARUKO pyrite system semi-conductors, such as II-VI group compound semiconductors, such as groups III-V semiconductor, such as AlGaAs, GaAsP, GaP, AlGaIn, and GaInAsP, ZnCdSSe, and ZnCdSeTe, CuAlSSe, and CuGaSSe, etc.

[0026] Moreover, it may not be limited to GaAs and GaP, InP, sapphire, etc. are sufficient, and the substrate ingredient may be opaque to luminescence wavelength, or may be transparent. n mold or p mold is sufficient as the conductivity type of a substrate.

[0027] Moreover, although the surface electrode 16 which has branching was formed only in the chip front-face 30 side in this example, when using a transparent substrate to luminescence wavelength, branching is prepared also in the surface electrode 17 by the side of a substrate rear face. Thereby, optical outgoing radiation effectiveness can be raised further. [0028] Moreover, junction of luminous layer 12 interface may not be limited to a double heterojunction, and may be a single heterojunction and gay junction.

[0029] moreover, each semi-conductor layers 11, --, 14 -- MOCVD -- although formed by law (organic metal chemical-vapor-deposition method) -- MBE -- law (molecular-beam-epitaxy method) and VPE -- law (vapor growth) and LPE -- you may form by law (liquid phase grown method) etc. Pn junction is made at the time of crystal growth, and also it may diffuse and form a dopant after crystal growth.

[0030] Moreover, AuZn, InAu, Cr/Au, Mo/Au, Ti/Pt/Au, Au, aluminum, In, ITO (tin addition indium oxide), InO<sub>2</sub> and SnO<sub>2</sub>, and these cascade screens are employable as an ingredient of a surface electrode (p lateral electrode) 16. On the other hand, AuGe/nickel, AuSn, AuSi, Mo/Au, Au(s), aluminum, In(s) and ITO(s), and these cascade screens are employable as an ingredient of the rear-face electrode (n lateral electrode) 17.

[0031] Drawing 3 shows the ZnCdSe system LED of the 2nd example. This drawing (a) showed the whole chip front face, and this drawing (b) has illustrated the part (near [ one ] the mesa section). Moreover, this drawing (c) shows the C-C line cross section in this drawing (b).

[0032] As shown in this drawing (a), this LED equips the chip front face 50 with two or more mesa sections 57a, 57b, and 57c and -- which become a surface electrode 47 from the semi-conductor layer 51 containing a luminous layer. The pattern of a surface electrode 47 is equipped with the pad section 52 of the shape of an abbreviation rectangle for wire bond in the center like the 1st example. The first branching 53a, 53b, 53c, and 53d is prolonged in the shape of a straight line in the direction of a vertical angle from this pad section 52. The first branching 53a, 53b, 53c, and 53d serves as the same line breadth and the same die length (range which gave the slash all over drawing) mutually. The second branching 54a, 54b, and 54c is branched and prolonged in the three way, respectively from the each first branching [ 53a, 53b, 53c, and 53d ] tip. The include angle which the first branching and the second branching make is 0 degree or 90 degrees. In addition, a design top has each first branching 53a, 53b, 53c, and 53d and the lapping second branching which it does not illustrate. The second branching 54a, 54b, and 54c serves as the same line breadth and the same die length mutually. Moreover, the 3rd branching 55a, 55b, and 55c is branched and prolonged in the shape of a straight line in the three way, respectively from the tip of each second branching 54a, 54b, and 54c. The include angle which the second branching and the 3rd branching make is 0 degree or 90 degrees. Moreover, the 3rd branching 55a, 55b, and 55c serves as the same line breadth and the same die length mutually. in addition, every -- although the 3rd branching has branched also from the middle of the 1st branching 53a, 53b, and 53c -- this -- every -- it is because it laps with the 1st branching 53a, 53b, and 53c and the tip of the second branching which does not carry out [ above-mentioned ] illustration is in it. moreover -- as the degree of branching becomes high -- each -- the die length of the following branching -- gradually -- short -- becoming -- each -- the line breadth of the following branching is becoming narrow gradually. The above-mentioned semi-conductor layer 51 is formed for every tip of the 3rd branching (highest degree) 55a, 55b, and 55c of a surface electrode 47, and serves as a mesa configuration which projected on the chip front face 50, respectively. The contact sections 56a, 56b, and 56c for contacting the semi-conductor layer [ directly under ] 51 are formed at the tip of the 3rd branching 55a, 55b, and 55c. On the other hand, parts other than the above-mentioned contact sections 55a and 55b and 55c are in the condition of not contacting as directly as the semi-conductor layer 51, among surface electrodes 47 (based on 2Oaluminum3 insulating layer 46 mentioned later).

[0033] This chip is produced as follows.

\*\* it is first shown in this drawing (c) -- as -- the n mold GaAs substrate 40 top -- MBE -- deposit the n mold InGaAs buffer layer 41, the n mold ZnSe cladding layer 42, the undoping Zn<sub>1-x</sub>CdxSe (x= 0.2) deformation amount child well luminous layer 43, the p mold ZnSe cladding layer 44, and the p mold GaAs contact layer 45 on the whole surface in order as a semi-conductor layer 51 by law.

\*\* Next, perform a photolithography, etch the above-mentioned p mold ZnSe cladding layer 44 in the shape of a truncated cone, process it, and form the mesa section 57.

\*\* Form 2Oaluminum3 insulating layer 46 on this after removing a photoresist. And opening 45a is formed in the part which is equivalent to the top face of the mesa section 57 among 2Oaluminum3 insulating layers 46 with photolithography.

\*\* Next, patternize this surface electrode 47 in the fractal configuration described previously after vapor-depositing a surface electrode 47 on this on the whole surface. Here, the part in which the above-mentioned opening 45a was prepared serves as the contact section 56. Moreover, the rear-face electrode 48 is formed in the whole surface also at the rear-face side of a substrate 40 (the completion of production).

[0034] Thus, since the semi-conductor layer 51 containing a luminous layer 43 is formed in the shape of a mesa in this LED for every tip of the 3rd branching (highest degree) 55 of a surface electrode 47 A luminous layer 43 can carry out outgoing radiation of a great portion of light in which not only the light turned to, passed through and emitted but the 3rd branching 55 in which the 3rd branching 55 does not consist consists and which was emitted for it to be suitable (it sets to drawing\_3 (b) and (c), and is right-hand side) out of a chip effectively. That is, since mesa slant faces are surrounding the surroundings of the point emitting light, the point emitting light and a mesa slant face can be made to approach further substantially as compared with the 1st example. Therefore, outgoing radiation of the light which the luminous layer 43 emitted can be efficiently carried out out of a chip through an annular mesa slant face, and external quantum efficiency can be further raised as compared with LED of the 1st example.

[0035] In addition, it may not be limited to GaAs and ZnSe etc. is sufficient, and the substrate ingredient may be opaque to luminescence wavelength, or may be transparent. n mold or p mold is sufficient as the conductivity type of a substrate.

[0036] Moreover, the ingredient of LED may not be limited to ZnCdSe and may be KARUKO pyrite system semi-conductors, such as II-VI group compound semiconductors, such as groups III-V semiconductor, such as AlGaInP, AlGaAs, GaAsP, GaP, AlGaIn, and GaInAsP, ZnSe, ZnCdSSe, and ZnCdSeTe, CuAlSSe, and CuGaSSe.

[0037] Moreover, although the luminous layer 43 set to Zn<sub>1-x</sub>CdxSe (x= 0.2), especially the value of x may not be limited and may be ZnSe of x= 0. Moreover, a luminous layer may be n mold ZnSe/ZnCdSe multiplex quantum well structure.

[0038] Moreover, although the buffer layer 41 considered as the n mold InGaAs, you may be the n mold ZnSSe and may be an n mold ZnS/ZnSe distorted superlattice layer.

[0039] moreover, each semi-conductor layers 41, --, 45 -- MBE -- although formed by law -- MOCVD -- law and VPE -- law and LPE -- you may form by law etc. Pn junction is made at the time of crystal growth, and also it may diffuse and form a dopant after crystal growth.

[0040] Drawing 4 shows the AlGaInP system LED of the 3rd example. This drawing (a) showed the whole chip front face, and this drawing (b) has illustrated the part (near [ one ] the mesa section). Moreover, this drawing (c) shows the C-C line cross section in this drawing (b).

[0041] As shown in this drawing (a), this LED equips the chip front face 90 with two or more mesa sections 86a, 86b, and 86c and -- which become a surface electrode 76 from the semi-conductor layer 91 containing a luminous layer. The above-mentioned surface electrode 76 The abbreviation rectangle-like pad section 81 and the first branching 82a and 82b, the second branching 83a, 83b, 83c, 83d, 83e, 83f, 83g, and 83h and every -- it has the 3rd branching 84a, 84b, 84c, 84d, 84e, 84f, 84g, and 84h which branched from the 2nd branching 83a, --, 83h. That is, the first branching 82a and 82b was formed on the straight line parallel to the tip side side which passes along the pad section 81, and the eight second branching 83a, --, 83h is perpendicularly formed in this first branching 82a and 82b. The 3rd eight branching 84a, --, 84h is formed at right angles to the branching 83a, --, 83h further second [ each ]. In addition, this 3rd branching is not formed in fact in the part which laps with the pad section 81. The above-mentioned semi-conductor layer 91 (namely, mesa section 86a, --) serves as a configuration of 3rd branching (highest degree) 86a of a surface electrode 76, and -- which projected in the shape of a cylinder for every tip, respectively. The contact sections 85a, 85b, and 85c for contacting the 3rd branching 84a, 84b, and 84c and the semi-conductor layer 91 directly under a tip of -- and -- are prepared.

[0042] This chip is produced as follows.

\*\* First, as shown in this drawing (c), etch alternatively the front face of the n mold GaAs substrate 70, and form cylinder-like projection 70a in the part which should form each mesa section 86.

\*\* next, a this top -- MOCVD -- deposit the n mold AlGaInP cladding layer 71, the undoping AlGaInP luminous layer 72, the p mold AlGaInP cladding layer 73, the p mold GaAs contact layer 74, and the n mold GaAs current blocking layer 75 on the whole surface in order as a semi-conductor layer 91 by law. This forms the projecting



mesa section 86 in the part of projection 70a. At this time, the thickness of each class 71, 72, and 73 becomes thin rather than other parts (flat part) on the mesa side face 79.

**\*\*** Next, a photolithography is performed, etch alternatively the n mold GaAs current blocking layer 75, form opening 85 in the part on the above-mentioned projection 70a, and expose the p mold GaAs contact layer 74 in this opening 85.

**\*\*** Next, vapor-deposit a surface electrode 76 on the whole surface. A photolithography is performed and a surface electrode 76, the n mold GaAs current blocking layer 75, and the p mold GaAs contact layer 74 are processed into the pattern of illustration. Finally, the rear-face electrode 77 is formed in the rear face of a substrate 70 (the completion of production).

[0043] Thus, when it produces, since the thickness of each class 71, 72, and 73 is thin on the mesa side face 79, the electric resistance of this part is larger than the electric resistance of a flat part. Consequently, only the part on the above-mentioned projection 70a emits light among luminous layers 72. Therefore, like the 2nd example, the distance of the point emitting light and the optical outgoing radiation side (mesa side face) 79 can be made to be able to approach substantially, and outgoing radiation of the light which luminous layer 72a emitted can be efficiently carried out out of a chip.

[0044] Moreover, when forming the semi-conductor layer 91 after projection 70a formation like this 3rd example, as compared with the case where a projection (mesa section) is formed, the height of the etching depth, i.e., the mesa section, can be easily controlled after the semi-conductor layer 31 and 51 formation like the 1st and 2nd example. It is because the presentation of an etching object becomes one kind.

[0045] In addition, when depositing the above-mentioned semi-conductor layer 91, deposition on the side face of projection 70a can be prevented from almost being generated by optimizing MOCVD conditions. For example, what is necessary is just to adjust substrate temperature and a raw material gas mixture ratio, after setting (001) and field bearing of a side face to {111} for field bearing of the GaAs substrate 70.

[0046]

[Effect of the Invention] So that clearly as mentioned above, the light emitting diode of this invention In the light emitting diode which the laminating of the semi-conductor layer and surface electrode containing a luminous layer is carried out to order on the surface of a semiconductor chip, and carries out outgoing radiation of the light out of a chip from the part which is not covered with the above-mentioned surface electrode among the above-mentioned semi-conductor layers in the light which the above-mentioned luminous layer emitted The first branching to which the above-mentioned surface electrode extends in a line from the pad section and the above-mentioned pad section, It has at least the 3rd branching which branches from the second branching which branches from the first above-mentioned branching and is prolonged in a line, and the branching further second [ above-mentioned ], and is prolonged in a line. Since the shape of a mesa from which the above-mentioned semi-conductor layer was prepared along with the pattern of the above-mentioned surface electrode, and projected on the above-mentioned chip front face is made, the point emitting light and an optical outgoing radiation side can be made to approach substantially as compared with the former. Therefore, outgoing radiation of the light which the luminous layer emitted can be efficiently carried out out of a chip, and external quantum efficiency can be raised. [0047] Moreover, the laminating of the semi-conductor layer and surface electrode with which the light emitting diode of this invention contains a luminous layer on the surface of a semiconductor chip is carried out to order. In the light emitting diode which carries out outgoing radiation of the light out of a chip from the part which is not covered with the above-mentioned surface electrode among the above-mentioned semi-conductor layers in the light which the above-mentioned luminous layer emitted The first branching to which the above-mentioned surface electrode extends in a line from the pad section and the above-mentioned pad section, It has at least the 3rd branching which branches from the second branching which branches from the first above-mentioned branching and is prolonged in a line, and the branching further second [ above-mentioned ], and is prolonged in a line. Since the shape of a mesa from which the above-mentioned semi-conductor layer was prepared for every tip of branching of the maximum high order of the above-mentioned surface electrode, and projected on the above-mentioned chip front face, respectively is made, it can surround near the point emitting light in respect of optical outgoing radiation (mesa slant face), and the point emitting light and an optical outgoing radiation side can be made to approach substantially as compared with the former. Therefore, outgoing radiation of the light which the luminous layer emitted can be efficiently carried out out of a chip, and external quantum efficiency can be raised.

[0048] Moreover, while the tip and the above-mentioned semi-conductor layer of branching of the above-mentioned surface electrode touch electrically, when remaining parts and above-mentioned semi-conductor layers of the above-mentioned surface electrode do not touch electrically, they can make the part directly under the above-mentioned tip of the above-mentioned surface electrode the point emitting light among the above-mentioned semi-conductor layers. [ of the maximum high order ] Therefore, the light which the luminous layer emitted can be made to be able to arrive at an optical outgoing radiation side (mesa slant face) easily, consequently external quantum efficiency can be raised further.



[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the chip front face and cross section of the AlGaInP system LED of this invention. [ of the 1st example ]

[Drawing 2] It is drawing showing the production process of Above LED.

[Drawing 3] It is drawing showing the chip front face and cross section of the ZnCdSe system LED of this invention. [ of the 2nd example ]

[Drawing 4] It is drawing showing the chip front face and cross section of the AlGaInP system LED of this invention. [ of the 3rd example ]

[Drawing 5] It is drawing explaining an operation of this invention.

[Drawing 6] It is drawing showing the chip front face of the conventional AlGaInP system LED.

[Drawing 7] It is drawing showing the chip cross section of the above-mentioned conventional AlGaInP system LED.

[Description of Notations]

1 Semi-conductor Layer Front Face

2 Three Mesa branching

3a Tip

10, 40, 70 n mold GaAs substrate

11 71 n mold AlGaInP cladding layer

12 72 ANDOBU AlGaInP luminous layer

13 73 p mold AlGaInP cladding layer

14, 45, 74 p mold GaAs contact layer

15 46 20aluminum3 insulating layer

16, 47, 76 Surface electrode

17, 48, 77 Rear-face electrode

18, 52, 81 Pad section

19a, --, 19d and 53a, --, 53d, 82a, 82b The first branching

20a, --, 20c and 54a, --, 54c, 83a, --, 83h The second branching

21a, --, 21c and 55a, --, 55c, 84a, --, 84h 3rd branching

22a, --, 22c, 56 and 56a, --, 56c, 85 and 85a, -- Contact section

30, 50, 90 Chip front face

31, 51, 91 Semi-conductor layer

41 N Mold InGaAs Buffer Layer

42 N Mold ZnSe Cladding Layer

43 Undoping ZnCdSe Deformation Amount Child Well Mold Luminous Layer

44 P Mold ZnSe Cladding Layer

57, 57a, --, 57c, 86, 86a, --, 100 Mesa section

75 N Mold GaAs Current Blocking Layer

[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-5912

(43)公開日 平成6年(1994)1月14日

(51)Int.Cl.<sup>5</sup>  
H01L 33/00

識別記号 庁内整理番号  
A 8934-4M

F I

技術表示箇所

審査請求 未請求 請求項の数3(全 9 頁)

(21)出願番号 特願平4-159242

(22)出願日 平成4年(1992)6月18日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 渡辺 昌規

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 山本 修

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 佐々木 和明

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 弁理士 青山 葆 (外1名)

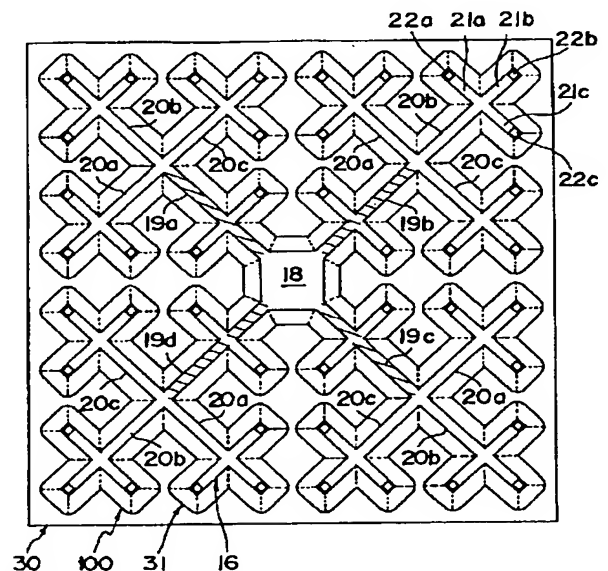
最終頁に続く

(54)【発明の名称】 発光ダイオード

(57)【要約】

【目的】 無効発光を減少させて外部量子効率を改善できる発光ダイオードを提供する。

【構成】 発光ダイオード(半導体チップ)の表面30に設けられた表面電極16とがパッド部18と、このパッド部18から線状に延びる第1次の分枝19a, ..., 19dを有する。さらに、各第1次の分枝19a, ..., 19dから分岐して線状に延びる第2次の分枝20a, 20b, 20cと、各第2次の分枝20a, 20b, 20cから分岐して線状に延びる第3次の分枝22a, 22b, 22cを少なくとも有する。この表面電極16のパターンに沿って、発光層を含む半導体層31が直下に設けられている。半導体層31は、チップ表面30で突起したメサ状をなしている。



## 【特許請求の範囲】

【請求項1】 半導体チップの表面に、発光層を含む半導体層と表面電極とが順に積層され、上記発光層が発した光を上記半導体層のうち上記表面電極で覆われていない部分からチップ外へ光を出射する発光ダイオードにおいて、

上記表面電極は、パッド部と、上記パッド部から線状に延びる第1次の分枝と、上記第1次の分枝から分岐して線状に延びる第2次の分枝と、さらに上記第2次の分枝から分岐して線状に延びる第3次の分枝を少なくとも有し、

上記半導体層は、上記表面電極のパターンに沿って設けられ、上記チップ表面で突起したメサ状をなしていることを特徴とする発光ダイオード。

【請求項2】 半導体チップの表面に、発光層を含む半導体層と表面電極とが順に積層され、上記発光層が発した光を上記半導体層のうち上記表面電極で覆われていない部分からチップ外へ光を出射する発光ダイオードにおいて、

上記表面電極は、パッド部と、上記パッド部から線状に延びる第1次の分枝と、上記第1次の分枝から分岐して線状に延びる第2次の分枝と、さらに上記第2次の分枝から分岐して線状に延びる第3次の分枝を少なくとも有し、

上記半導体層は、上記表面電極の最高次の分枝の先端毎に設けられ、それぞれ上記チップ表面で突起したメサ状をなしていることを特徴とする発光ダイオード。

【請求項3】 上記表面電極の最高次の分枝の先端と上記半導体層とは電気的に接触している一方、上記表面電極の残りの部分と上記半導体層とは電気的に接触していないことを特徴とする請求項1または請求項2に記載の発光ダイオード。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、表示用などに用いられる発光ダイオードに関する。

## 【0002】

【従来の技術】近年、黄色ないし緑色の光を発する発光ダイオード(LED)として、GaAsPまたはGaP系材料の他に、AlGaInP系材料を用いたものが開発されつつある。

【0003】従来のAlGaInP系LEDとしては、図6および図7に示すようなものがある(図6はLED表面を示し、図7は図6におけるVII-VII線矢視断面を示している。)。このLEDは次のようにして作製されている。まず、図7に示すように、n型GaAs基板190の表面180にn型AlGaInPクラッド層191、アンドープAlGaInP発光層192、p型AlGaInPクラッド層193、p型GaAsコンタクト層194、表面電極(例えば、AuZn)195を全面に積層する。次に、積

層した表面電極195と各層194、193、192、191を基板表面190aに至るまで選択的に除去し、所定の部分を残してメサ(台形)部200を構成する。メサ部200のパターン(表面電極195のパターンに略等しい)は、図6に示すように、ワイヤボンドを行うためのパッド部198と、このパッド部198から延びる横方向のメサ分枝199a、199bと、この横方向のメサ分枝199a、199bに交差する縦方向のメサ分枝200a、…、200hとを組み合わせたものとしている。この後、図7に示すように、基板190の裏面に裏面電極196を形成する。

【0004】図7においてメサ分枝200hを例にとると、発光層192より発した光は、主に左右のメサ側面201a、201bからチップ外へ出射する。上下方向に向かう光は、表面電極195と基板とに吸収されてしまうからである。このことから分かるように、チップ表面180にメサ部200を形成している理由は、光出射面(メサ斜面)の面積を増やすことによって光を効率良くチップ外へ取り出すためである。

## 【0005】

【発明が解決しようとする課題】しかしながら、上記メサ部200の構造は、図6に示したように横方向のメサ分枝199a、199bと縦方向のメサ分枝200a、…、200hとを単に交差させただけであるため、各メサ分枝の長手方向の長さが比較的長くなっている。このため各メサ分枝200a、…、200h内で長手方向(図7では前後方向)に発せられた光は、大部分が先端(例えば、先端201c)まで届かず、無効発光となる。この結果、上記従来のLEDは、外部量子効率が悪いという問題がある。

【0006】そこで、この発明の目的は、無効発光を減少させて外部量子効率を改善できる発光ダイオードを提供することにある。

## 【0007】

【課題を解決するための手段】上記目的を達成するために、この発明の発光ダイオードは、半導体チップの表面に、発光層を含む半導体層と表面電極とが順に積層され、上記発光層が発した光を上記半導体層のうち上記表面電極で覆われていない部分からチップ外へ光を出射する発光ダイオードにおいて、上記表面電極は、パッド部と、上記パッド部から線状に延びる第1次の分枝と、上記第1次の分枝から分岐して線状に延びる第2次の分枝と、さらに上記第2次の分枝から分岐して線状に延びる第3次の分枝を少なくとも有し、上記半導体層は、上記表面電極のパターンに沿って設けられ、上記チップ表面で突起したメサ状をなしていることを特徴としている。

【0008】また、この発明の発光ダイオードは、半導体チップの表面に、発光層を含む半導体層と表面電極とが順に積層され、上記発光層が発した光を上記半導体層のうち上記表面電極で覆われていない部分からチップ外

へ光を出射する発光ダイオードにおいて、上記表面電極は、パッド部と、上記パッド部から線状に延びる第1次の分枝と、上記第1次の分枝から分岐して線状に延びる第2次の分枝と、さらに上記第2次の分枝から分岐して線状に延びる第3次の分枝を少なくとも有し、上記半導体層は、上記表面電極の最高次の分枝の先端毎に設けられ、それぞれ上記チップ表面で突起したメサ状をなしていることを特徴としている。

【0009】また、上記表面電極の最高次の分枝の先端と上記半導体層とは電氣的に接触している一方、上記表面電極の残りの部分と上記半導体層とは電氣的に接触していないのが望ましい。

【0010】

【作用】この発明は、本発明者による次の考察により創出された。図9を用いて本発明の原理を説明する。

【0011】図5(a),(b)は、半導体層表面1が平坦な発光ダイオードを上方、側方からみたところを模式的に示している(簡単のため、表面電極を省略している)。発光点Lから発せられた光のうち表面1に略垂直に入射した光pはチップ外へ出射する(実際には、表面電極によって遮られる)。しかし、斜めに入射した光qは全反射のためチップ外へ出射せず無効となる。次に、同図(c),(d)は、図7,8に示した従来のLEDの如く、表面にストライプ状のメサ分枝2を有する発光ダイオードの場合を示している。この場合、発光点Mから発せられた光のうち、上方へ向かう光rだけでなく側方へ向かう光s,tもチップ外へ出射する。しかし、既に述べたように、メサ分枝2の長手方向に向かう光u,vはチップ外へ出射せずロスとなる。これに対して、図5(e),(f)に示すように、本発明の如く、メサ分枝320が高次に分岐している場合は、メサ分枝3の長手方向の長さが比較的短くなっている。したがって、発光点Nから発せられた光のうち、上方へ向かう光fと側方へ向かう光i,gだけでなく、メサ分枝の長手方向に発せられた光hが先端3aに容易に到達し、出射される。したがって、従来に比して無効発光が減少して、外部量子効率が約1.5倍に改善される。

【0012】また、上記表面電極の最高次の分枝の先端と上記半導体層とは電氣的に接触している一方、上記表面電極の残りの部分と上記半導体層とは電氣的に接触していない場合、上記半導体層のうち上記表面電極の上記先端直下の部分が発光点となる。したがって、発光点から発せられた光が光出射面(メサ斜面)に容易に到達し、この結果、さらに外部量子効率が改善される。

【0013】なお、この発明は、AlGaInP系LEDだけでなく、一般のAlGaAs系、GaP系、ZnSe系(ZnCdSe系)、ZnS系、GaN系、SiC系LEDなどに適用される。これにより、各種LEDの特性向上が図られる。

【0014】

【実施例】以下、この発明の発光ダイオードを実施例により詳細に説明する。

【0015】図1は第1実施例のAlGaInP系LEDのチップ表面を示している。図1に示すように、チップ表面30には表面電極16と発光層を含む半導体層31とからなるメサ部100が設けられている。表面電極16のパターン(メサ部100のパターンと略等しい)は、ワイヤボンドのための略矩形状のパッド部18を中央に備えている。このパッド部18から対角方向に直線状に第1次の分枝19a,19b,19c,19dが延びている。第1次の分枝19a,19b,19c,19dは、互いに同一線幅、同一長さ(図中に斜線を施した範囲)となっている。各第1次の分枝19a,19b,19c,19dの先端からそれぞれ三方向に第2次の分枝20a,20b,20cが分岐して延びている。第1次の分枝と第2次の分枝とがなす角度は0°または90°となっている。なお、設計上は、各第1次の分枝19a,19b,19c,19dと重なる図示しない第2次の分枝がある。第2次の分枝20a,20b,20cは、互いに同一線幅、同一長さとなっており、第1次の分枝に対して長さがいずれも1/2となっている。また、各第2次の分枝20a,20b,20cの先端からそれぞれ三方向に直線状に第3次の分枝21a,21b,21cが分岐して延びている。第2次の分枝と第3次の分枝とがなす角度は0°または90°となっている。また、第3次の分枝21a,21b,21cは、互いに同一線幅、同一長さとなっており、第2次の分枝に対して長さがいずれも1/2となっている。なお、各第1次の分枝19a,19b,19cの中ほどからも第3次の分枝が分岐しているが、これは各第1次の分枝19a,19b,19cに重なって上記図示しない第2次の分枝の先端があるためである。上記半導体層31は、表面電極16のパターンに沿って設けられ、チップ表面30で突起したメサ形状となっている。第3次の分枝21a,21b,21cの先端には、直下の半導体層31と接触するためのコンタクト部22a,22b,22cが設けられている。一方、表面電極16のうち上記コンタクト部21a,21b,21c以外の部分は、半導体層31と直接には接触しない状態となっている(後述するAl<sub>2</sub>O<sub>3</sub>絶縁層15による)。

【0016】このように、この上記表面電極16はどの分岐においても枝別れ数が等しく、低次の分枝と高次の分枝との関係は'X'形状の4つの先端に長さが1/2の'X'を組み合わせた規則的で相似な自己相似形状、すなわちフラクタル形状となっている。したがって、パターン設計を容易に行うことができる。また、高次の分枝同士が重なることなくチップ表面30の略全域を樹枝状に覆うことができる。

【0017】図2(a)~(f)はこのチップの作製過程を示している。同図(a),(c),(e)は、チップ表面30の一部(具体的には第2次の分枝20bの先端付近)を例示し、

10

20

30

40

50

同図(b), (d), (f)は、それぞれ同図(a), (c), (e)におけるB-B線, D-D線, F-F線矢視断面を示している。このチップは、次のようにして作製する。

①まず、同図(a), (b)に示すように、n型GaAs基板10上に、MOCVD法(有機金属化学気相成長法)により、半導体層31としてn型AlGaInPクラッド層11、アンドープAlGaInP発光層12、p型AlGaInPクラッド層13、p型GaAsコンタクト層14を順に全面に堆積し、さらにAl<sub>2</sub>O<sub>3</sub>絶縁層15を形成する。次に、

②次に、同図(c), (d)に示すように、この上に全面に表面電極(AuZn)16を蒸着した後、この表面電極16を先に述べたフラクタル形状にパターン化する。ここで、上記開口15a, 15b, 15cを設けた箇所がコンタクト部22a, 22b, 22cとなる。また、基板10の裏面側にも裏面電極17を全面に形成する。

③次に、同図(e), (f)に示すように、フォトリソグラフィを行って、表面電極16のパターンに沿って、Al<sub>2</sub>O<sub>3</sub>絶縁層15と半導体層31とを基板表面30に至るまでエッチングしてメサ状に加工する。エッチングは、ウェットエッチングでもRIBE(反応性イオンビーム・エッチング)でも良い。これにより、メサ部100を形成する(作製完了)。

【0018】上述のように、このAlGaInP系LEDは、チップ表面30をメサ部100によって樹枝状に覆い、第3次(最高次)の分枝21a, 21b, 21cの先端のコンタクト部22a, 22b, 22cでのみ表面電極16と半導体層31とを接触させている。したがって、第3次の分枝21a, 21b, 21cの先端直下の都合を発光点とすることができ、従来に比して、発光点と光出射面(メサ斜面)とを実質的に近接させることができる。これにより、無効発光を減少させることができ、外部量子効率を改善することができる。実際に特性測定を行ったところ、発光波長は570nm(黄緑色)で、外部量子効率は、2.5%であった。

【0019】なお、メサ部100は上記形状のものに限られるわけではなく、実質的にメサ斜面から光を出射するものであれば良い。例えば、図2(h)に示すように、エッチングをp型AlGaInPクラッド層13の途中までとし、アンドープAlGaInP発光層12の手前で止めても良い。また、図示は省略しているが、エッチングをアンドープAlGaInP発光層12の途中までとし、n型AlGaInPクラッド層12の手前で止めても良い。これに対して、エッチングをp型GaAsコンタクト層14までで止めたものは含まれない。p型GaAsコンタクト層14は、単に電気的特性を向上させるために設ける層であり、その斜面から光を出射しないからである。同様に、光に対して不透明な層もメサ部から除かれる。

【0020】また、同図(g)に示すように、フォトリソ

グラフィのパターンを変更することにより、メサ部100(表面電極16および半導体層31)の先端を扇形にしても良い。この扇形の方が、より発光効率が高まる。

【0021】また、パッド部18の位置はチップ表面30の中央に限定されるものではなく、周辺部にあってもよい。

【0022】また、コンタクト部22a, 22b, 22cは、第3次(最高次)の分枝21a, 21b, 21cの先端にのみ設けるのではなく、例えば、図1に示した第2次の分枝20a, 20b, 20cの midpoint にも設けても良い。この場合、電流-光変換効率自体は若干低下するが、チップ当たりのトータル発光量を増大させることができる。

【0023】また、表面電極16のパターン形状は、エッチングによらず、いわゆるマスク蒸着(表面電極16と同じ形状の開口部を有するメタルマスクを用いて蒸着する)により形成しても良い。

【0024】また、表面電極16や裏面電極17を上記半導体層31をメサ・エッチングする前に設けるのではなく、上記半導体層31をメサ・エッチングした後に設けるようにしても良い。

【0025】また、LEDの材料はAlGaInPに限定されるものでなく、AlGaAs、GaAsP、GaP、AlGaIn、GaInAsPなどのIII-V族化合物半導体、ZnCdS、ZnCdSe、ZnCdSeTeなどのII-VI族化合物半導体、CuAlS、CuGaS、CuGaSeなどのカルコパイライト系半導体などであってもよい。

【0026】また、基板材料はGaAsに限定されるものではなく、GaP、InP、サファイアなどでも良く、発光波長に対して不透明であっても透明であっても良い。

【0027】また、この実施例ではチップ表面30側のみに分岐を有する表面電極16を設けたが、発光波長に

対し透明な基板を用いる場合は、基板裏面側の表面電極17にも分岐を設ける。これにより、光出射効率をさらに向上させることができる。

【0028】また、発光層12界面の接合はダブルヘテロ接合に限定されるものでなく、シングルヘテロ接合、ホモ接合であってもよい。

【0029】また、各半導体層11, ..., 14をMOCVD法(有機金属化学気相成長法)で形成したが、MBE法(分子線エビタキシ法)、VPE法(気相成長法)、LPE法(液相成長法)などで形成してもよい。pn接合は、結晶成長時に作り込むほか、結晶成長後にドーパントを拡散して形成してもよい。

【0030】また、表面電極(p側電極)16の材料として、AuZn, InAu, Cr/Au, Mo/Au, Ti/Pt/Au, Au, Al, In, ITO(錫添加酸化インジウム), InO<sub>2</sub>, SnO<sub>2</sub>およびこれらの積層膜を採用することができる。一方、裏面電極(n側電極)17の材料として、AuGe/Ni, AuSn, AuSi, Mo/Au, Au, Al, In, ITOおよび

これらの積層膜を採用することができる。

【0031】図3は第2実施例のZnCdSe系LEDを示している。同図(a)はチップ表面の全体を示し、同図(b)はその一部(1つのメサ部付近)を例示している。また、同図(c)は同図(b)におけるC-C線断面を示している。

【0032】同図(a)に示すように、このLEDは、チップ表面50に表面電極47と、発光層を含む半導体層51からなる複数のメサ部57a, 57b, 57c, …を備えている。表面電極47のパターンは、第1実施例と同様に、ワイヤボンドのための略矩形状のパッド部52を中央に備えている。このパッド部52から対角方向に直線状に第1次の分枝53a, 53b, 53c, 53dが延びている。第1次の分枝53a, 53b, 53c, 53dは、互いに同一線幅、同一長さ(図中に斜線を施した範囲)となっている。各第1次の分枝53a, 53b, 53c, 53dの先端からそれぞれ三方向に第2次の分枝54a, 54b, 54cが分岐して延びている。第1次の分枝と第2次の分枝とがなす角度は0°または90°となっている。なお、設計上は、各第1次の分枝53a, 53b, 53c, 53dと重なる図示しない第2次の分枝がある。第2次の分枝54a, 54b, 54cは、互いに同一線幅、同一長さとなっている。また、各第2次の分枝54a, 54b, 54cの先端からそれぞれ三方向に直線状に第3次の分枝55a, 55b, 55cが分岐して延びている。第2次の分枝と第3次の分枝とがなす角度は0°または90°となっている。また、第3次の分枝55a, 55b, 55cは、互いに同一線幅、同一長さとなっている。なお、各第1次の分枝53a, 53b, 53cの中ほどからも第3次の分枝が分岐しているが、これは各第1次の分枝53a, 53b, 53cに重なって上記図示しない第2次の分枝の先端があるためである。また、分枝の次数が高くなるにつれて、各次の分枝の長さは次第に短くなり、各次の分枝の線幅は次第に狭くなっている。上記半導体層51は、表面電極47の第3次(最高次)の分枝55a, 55b, 55cの先端毎に設けられ、それぞれチップ表面50で突起したメサ形状となっている。第3次の分枝55a, 55b, 55cの先端には、直下の半導体層51と接触するためのコンタクト部56a, 56b, 56cが設けられている。一方、表面電極47のうち上記コンタクト部55a, 55b, 55c以外の部分は、半導体層51と直接には接触しない状態となっている(後述するAl<sub>2</sub>O<sub>3</sub>絶縁層46による)。

【0033】このチップは、次のようにして作製する。  
①まず、同図(c)に示すように、n型GaAs基板40上に、MBE法により、半導体層51としてn型InGaAsバッファ層41、n型ZnSeクラッド層42、アンドープZn<sub>1-x</sub>Cd<sub>x</sub>Se(x=0.2)歪量子井戸発光層43、p型ZnSeクラッド層44、p型GaAsコンタクト層45を順に全面に堆積する。

②次に、フォトリソグラフィを行って、上記p型ZnSe

クラッド層44を円錐台状にエッチングして加工して、メサ部57を形成する。

③フォトリソグラフィを除去した後、この上に、Al<sub>2</sub>O<sub>3</sub>絶縁層46を形成する。そして、フォトリソグラフィによって、Al<sub>2</sub>O<sub>3</sub>絶縁層46のうちメサ部57の上面に相当する箇所に開口45aを形成する。

④次に、この上に全面に表面電極47を蒸着した後、この表面電極47を先に述べたフラクタル形状にパターン化する。ここで、上記開口45aを設けた箇所がコンタクト部56となる。また、基板40の裏面側にも裏面電極48を全面に形成する(作製完了)。

【0034】このように、このLEDでは、発光層43を含む半導体層51を表面電極47の第3次(最高次)の分枝55の先端毎にメサ状に設けているので、発光層43が第3次の分枝55が存しない向きへ発した光だけでなく、第3次の分枝55が存する向き(図3(b), (c)において右側)に発した光を大部分有効にチップ外へ出射することができる。すなわち、発光点の周りをメサ斜面が取り巻いているので、発光点とメサ斜面とを第1実施例に比して実質的にさらに近接させることができる。したがって、発光層43が発した光を環状のメサ斜面を通して効率良くチップ外へ出射することができ、第1実施例のLEDに比して、さらに外部量子効率を高めることができる。

【0035】なお、基板材料はGaAsに限定されるものではなく、ZnSeなどでも良く、発光波長に対して不透明であっても透明であってもよい。基板の導電型はn型でもp型でもよい。

【0036】また、LEDの材料は、ZnCdSeに限定されるものではなく、AlGaInP、AlGaAs、GaAsP、GaP、AlGaN、GaInAsPなどのIII-V族化合物半導体、ZnSe、ZnCdSe、ZnCdSeTeなどのII-VI族化合物半導体、CuAlS<sub>2</sub>Se、CuGaS<sub>2</sub>Seなどのカルコパイライト系半導体であってもよい。

【0037】また、発光層43はZn<sub>1-x</sub>Cd<sub>x</sub>Se(x=0.2)としたが、xの値は特に限定されるものではなく、例えば、x=0のZnSeであっても良い。また、発光層はn型ZnSe/ZnCdSe多重量子井戸構造であっても良い。

【0038】また、バッファ層41はn型InGaAsとしたが、n型ZnS<sub>2</sub>Seであっても良く、n型ZnS/ZnSe歪超格子層であっても良い。

【0039】また、各半導体層41, …, 45をMBE法で形成したが、MOCVD法、VPE法、LPE法などで形成してもよい。pn接合は、結晶成長時に作り込むほか、結晶成長後にドーパントを拡散して形成してもよい。

【0040】図4は第3実施例のAlGaInP系LEDを示している。同図(a)はチップ表面の全体を示し、同図(b)はその一部(1つのメサ部付近)を例示している。



また、同図(c)は同図(b)におけるC-C線断面を示している。

【0041】同図(a)に示すように、このLEDは、チップ表面90に表面電極76と、発光層を含む半導体層91からなる複数のメサ部86a、86b、86c、…を備えている。上記表面電極76は、略矩形状のパッド部81と、第1次の分枝82a、82bと、第2次の分枝83a、83b、83c、83d、83e、83f、83g、83hと、各第2次の分枝83a、…、83hから分岐した第3次の分岐84a、84b、84c、84d、84e、84f、84g、84hを有している。すなわち、パッド部81を通るチップ側面に平行な直線上に第1次の分枝82a、82bを設け、この第1次の分枝82a、82bに垂直に第2次の分枝83a、…、83hを8本設けている。さらに各第2次の分枝83a、…、83hに垂直に第3次の分枝84a、…、84hを8本設けている。なお、この第3次の分枝は、パッド部81に重なる部分では実際には形成していない。上記半導体層91(すなわちメサ部86a、…)は、表面電極76の第3次(最高次)の分枝86a、…の先端毎に、それぞれ円柱状に突起した形状となっている。第3次の分枝84a、84b、84c、…の先端には、直下の半導体層91と接触するためのコンタクト部85a、85b、85c、…が設けられている。

【0042】このチップは、次のようにして作製する。

①まず、同図(c)に示すように、n型GaAs基板70の表面を選択的にエッチングして、各メサ部86を形成すべき箇所に円柱状の突起70aを形成する。

②次に、この上に、MOCVD法により、半導体層91としてn型AlGaInPクラッド層71、アンドープAlGaInP発光層72、p型AlGaInPクラッド層73、p型GaAsコンタクト層74、n型GaAs電流阻止層75を順に全面に堆積する。これにより、突起70aの箇所に、突起したメサ部86を形成する。このとき、メサ側面79では、他の部分(平坦部)よりも各層71、72、73の厚みが薄くなる。

③次に、フォトリソグラフィを行って、n型GaAs電流阻止層75を選択的にエッチングして、上記突起70a上の部分に開口85を形成し、この開口85内にp型GaAsコンタクト層74を露出させる。

④次に、表面電極76を全面に蒸着する。フォトリソグラフィを行って、表面電極76、n型GaAs電流阻止層75およびp型GaAsコンタクト層74を図示のパターンに加工する。最後に、基板70の裏面に裏面電極77を形成する(作製完了)。

【0043】このようにして作製した場合、メサ側面79で各層71、72、73の厚みが薄いことから、この部分の電気抵抗が平坦部の電気抵抗よりも大きくなっている。この結果、発光層72のうち上記突起70a上の部分のみが発光する。したがって、第2実施例と同様に、発光点と光出射面(メサ側面)79との距離を実質的に近

接させることができ、発光層72aが発した光を効率良くチップ外へ出射することができる。

【0044】また、この第3実施例のように突起70a形成後に半導体層91を設ける場合、第1、第2実施例のように半導体層31、51形成後に突起(メサ部)を形成する場合に比して、エッチング深さ、すなわちメサ部の高さを容易に制御することができる。エッチング対象物の組成が一種類となるからである。

【0045】なお、上記半導体層91を堆積する場合にMOCVD条件を最適化することによって、突起70aの側面への堆積がほとんど生じないようにすることができる。例えば、GaAs基板70の面方位を(001)、側面の面方位を{111}とした上、基板温度や原料ガス混合比を調節すれば良い。

【0046】

【発明の効果】以上より明らかなように、この発明の発光ダイオードは、半導体チップの表面に、発光層を含む半導体層と表面電極とが順に積層され、上記発光層が発した光を上記半導体層のうち上記表面電極で覆われていない部分からチップ外へ光を出射する発光ダイオードにおいて、上記表面電極が、パッド部と、上記パッド部から線状に延びる第1次の分枝と、上記第1次の分枝から分岐して線状に延びる第2次の分枝と、さらに上記第2次の分枝から分岐して線状に延びる第3次の分枝を少なくとも有し、上記半導体層が、上記表面電極のパターンに沿って設けられ、上記チップ表面で突起したメサ状をなしているため、発光点と光出射面とを従来に比して実質的に近接させることができる。したがって、発光層が発した光を効率良くチップ外へ出射することができ、外部量子効率を高めることができる。

【0047】また、この発明の発光ダイオードは、半導体チップの表面に、発光層を含む半導体層と表面電極とが順に積層され、上記発光層が発した光を上記半導体層のうち上記表面電極で覆われていない部分からチップ外へ光を出射する発光ダイオードにおいて、上記表面電極が、パッド部と、上記パッド部から線状に延びる第1次の分枝と、上記第1次の分枝から分岐して線状に延びる第2次の分枝と、さらに上記第2次の分枝から分岐して線状に延びる第3次の分枝を少なくとも有し、上記半導体層が、上記表面電極の最高次の分枝の先端毎に設けられ、それぞれ上記チップ表面で突起したメサ状をなしているため、発光点近傍を光出射面(メサ斜面)で取り囲むことができ、発光点と光出射面とを従来に比して実質的に近接させることができる。したがって、発光層が発した光を効率良くチップ外へ出射することができ、外部量子効率を高めることができる。

【0048】また、上記表面電極の最高次の分枝の先端と上記半導体層とは電氣的に接触している一方、上記表面電極の残りの部分と上記半導体層とは電氣的に接触していない場合、上記半導体層のうち上記表面電極の上記

11

先端直下の部分を発光点にすることができる。したがって、発光層が発した光を光出射面(メサ斜面)に容易に到達させることができ、この結果、さらに外部量子効率を高めることができる。

【図面の簡単な説明】

【図1】 この発明の第1実施例のAlGaInP系LEDのチップ表面と断面を示す図である。

【図2】 上記LEDの作製過程を示す図である。

【図3】 この発明の第2実施例のZnCdSe系LEDのチップ表面と断面を示す図である。

【図4】 この発明の第3実施例のAlGaInP系LEDのチップ表面と断面を示す図である。

【図5】 この発明の作用を説明する図である。

【図6】 従来のAlGaInP系LEDのチップ表面を示す図である。

【図7】 上記従来のAlGaInP系LEDのチップ断面を示す図である。

【符号の説明】

- 1 半導体層表面
- 2, 3 メサ分枝
- 3a 先端
- 10, 40, 70 n型GaAs基板
- 11, 71 n型AlGaInPクラッド層

12

\* 12, 72 アンダーブAlGaInP発光層

13, 73 p型AlGaInPクラッド層

14, 45, 74 p型GaAsコンタクト層

15, 46 Al<sub>2</sub>O<sub>3</sub>絶縁層

16, 47, 76 表面電極

17, 48, 77 裏面電極

18, 52, 81 パッド部

19a, ..., 19d, 53a, ..., 53d, 82a, 82b 第1次の分枝

10 20a, ..., 20c, 54a, ..., 54c, 83a, ..., 83h 第2次の分枝

21a, ..., 21c, 55a, ..., 55c, 84a, ..., 84h 第3次の分枝

22a, ..., 22c, 56, 56a, ..., 56c, 85, 85a, ... コンタクト部

30, 50, 90 チップ表面

31, 51, 91 半導体層

41 n型InGaAsバッファ層

42 n型ZnSeクラッド層

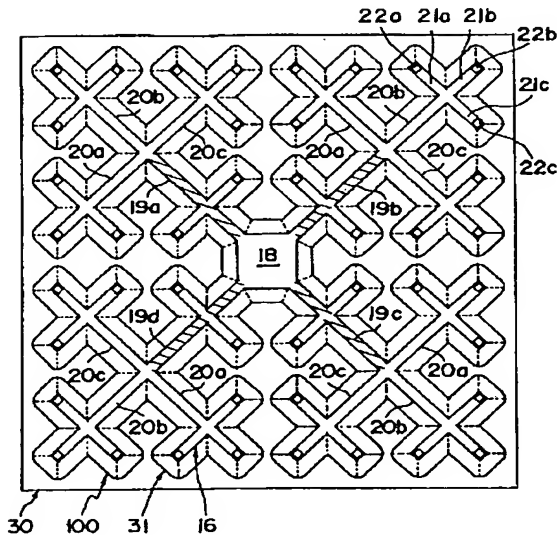
20 43 アンダーブZnCdSe歪量子井戸型発光層

44 p型ZnSeクラッド層

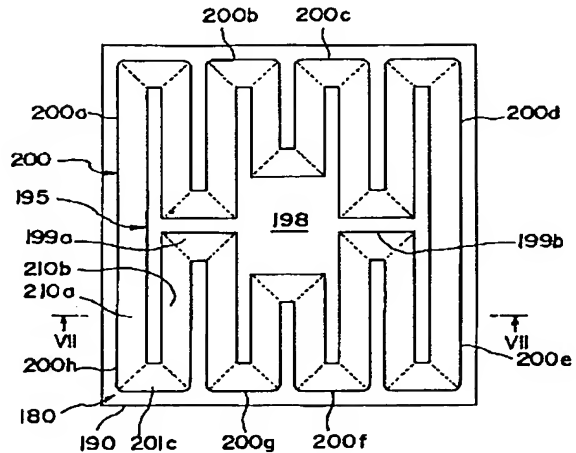
57, 57a, ..., 57c, 86, 86a, ..., 100 メサ部

\* 75 n型GaAs電流阻止層

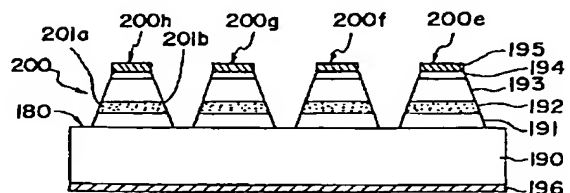
【図1】



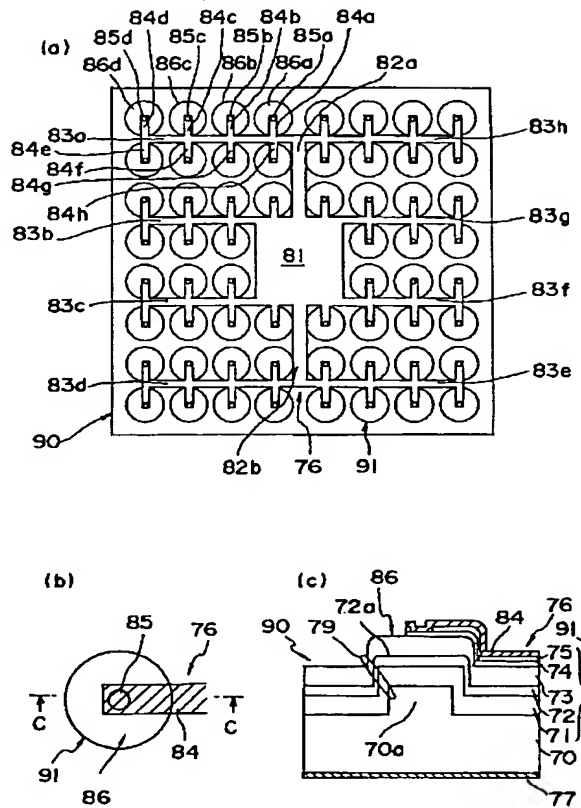
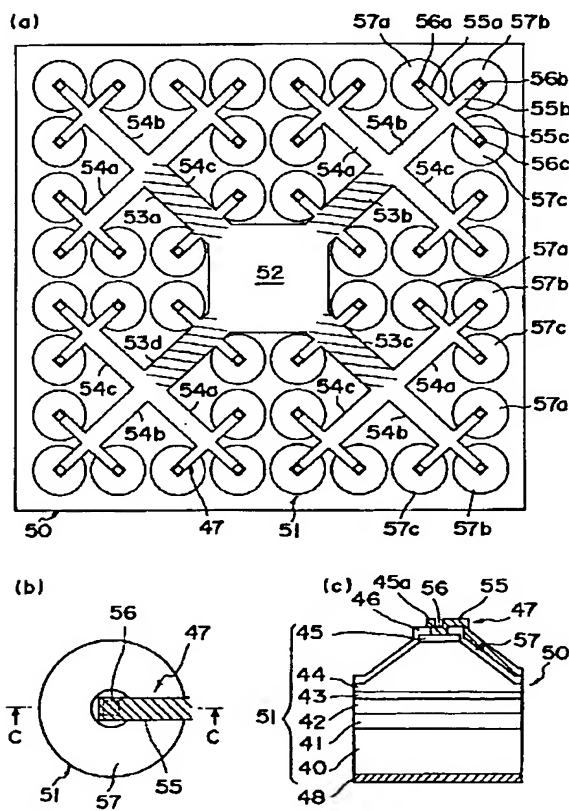
【図6】



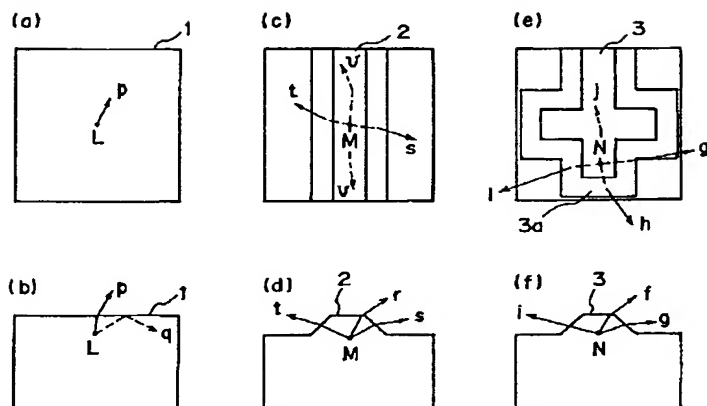
【図7】



【図 4】



【図5】



フロントページの続き

(72)発明者 松本 晃広  
大阪府大阪市阿倍野区長池町22番22号 シ  
ヤープ株式会社内

(72)発明者 中津 弘志  
大阪府大阪市阿倍野区長池町22番22号 シ  
ヤープ株式会社内